

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-181311

(43)公開日 平成9年(1997)7月11日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 01 L 29/78		9447-4M	H 01 L 29/78	6 5 3 A
21/28			21/28	L
21/768			21/90	C
21/336		9447-4M	29/78	6 5 8 A
21/338		9447-4M		6 5 8 G
			審査請求 未請求 請求項の数 3 OL (全 5 頁) 最終頁に続く	

(21)出願番号 特願平7-340430

(22)出願日 平成7年(1995)12月27日

(71)出願人 000156950

関西日本電気株式会社

滋賀県大津市晴嵐2丁目9番1号

(72)発明者 松浦 直樹

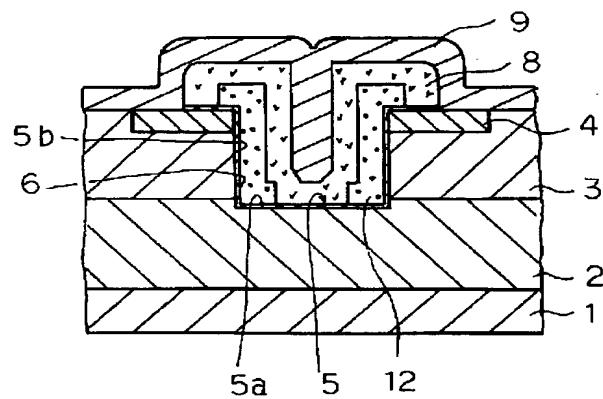
滋賀県大津市晴嵐2丁目9番1号 関西日本電気株式会社内

(54)【発明の名称】 電界効果トランジスタおよびその製造方法

(57)【要約】

【課題】 ゲート・ドレイン間容量の少ない電界効果トランジスタを工程を増やすことなく提供する。

【解決手段】 n+型半導体基板1上にエピタキシャル成長によりn型ドレイン領域2、このドレイン領域2上にボロニイオン注入によりp型ベース領域3及びこのベース領域3に砒素イオン注入によりn+型ソース領域4を順次形成し、次いでソース領域4表面からベース領域3を貫通してドレイン領域2に及ぶ溝5を形成し、その後その溝5内にゲート酸化膜6を形成すると共に、そのゲート酸化膜6を介して溝5の底部5aを除く箇所にシリコンゲート電極12を形成する。従って、統いて基板1上に層間絶縁膜8を被覆すると、溝5の底部5aのゲート酸化膜6上にはゲート電極12ではなく層間絶縁膜8が形成され、ゲート電極12及びドレイン領域2間の容量は、溝5の底部5a上にゲート電極12がない分小さくできる。



1

【特許請求の範囲】

【請求項1】高濃度一導電型半導体基板上に形成した一導電型ドレイン領域と、このドレイン領域に形成した他導電型ベース領域と、このベース領域に形成した一導電型ソース領域と、このソース領域の表面から前記ベース領域を貫通して形成した溝と、

この溝内面に形成したゲート酸化膜と、

このゲート酸化膜上に形成したゲート電極と、このゲート電極上に被覆した層間絶縁膜と、を具備し、前記溝の底部のゲート酸化膜上に前記ゲート電極を介さずに前記層間絶縁膜を被覆した電界効果トランジスタ。

【請求項2】高濃度一導電型半導体基板上に一導電型ドレイン領域を形成する工程と、

このドレイン領域に他導電型ベース領域を形成する工程と、

このベース領域に一導電型ソース領域を形成する工程と、

このソース領域の表面から前記ベース領域を貫通する溝を形成する工程と、

この溝内面にゲート酸化膜を形成する工程と、上記各工程を経た基板の表面にポリシリコン膜を被覆する工程と、

このポリシリコン膜を選択的にエッチングしてゲート電極を形成する工程と、

以上の各工程を経た基板の表面に層間絶縁膜を被覆する工程と、を含み、

前記ゲート電極を形成する工程において前記溝の底部のポリシリコン膜を同時にエッチングする電界効果トランジスタの製造方法。

【請求項3】高濃度一導電型半導体基板上に一導電型ドレイン領域を形成する工程と、

このドレイン領域上に選択的に厚い酸化膜を形成する工程と、

この厚い酸化膜をマスクとして前記ドレイン領域に他導電型ベース領域を形成する工程と、

前記厚い酸化膜をマスクとして前記ベース領域に一導電型ソース領域を形成する工程と、

その後に前記厚い酸化膜を除去し前記ドレイン領域が露出した溝を形成する工程と、

この溝内面にゲート酸化膜を形成する工程と、上記各工程を経た半導体基板表面にポリシリコン膜を被覆する工程と、

このポリシリコン膜を選択的にエッチングしてゲート電極を形成する工程と、

以上の各工程を経た基板表面に層間絶縁膜を被覆する工程と、を含み、

前記ゲート電極を形成する工程において前記溝の底部のポリシリコン膜を同時にエッチングする電界効果トランジスタの製造方法。

2

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電界効果トランジスタ及びその製造方法に関し、特にゲート・ドレイン間容量を低減した電界効果トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】従来の溝型電界効果トランジスタを図4を参照して説明する。図において、1は高濃度一導電型としてのn+型の半導体基板で、2は半導体基板1上にエピタキシャル成長により形成したn型ドレイン領域で、3はドレイン領域2にボロニイオン注入及び熱拡散により形成した他導電型としてのp型のベース領域で、4はフォトリソグラフィ工程(以降PRと記す)、砒素イオン注入及び熱拡散によりベース領域3に形成したn+型ソース領域である。5はPR及びドライエッチ法でソース領域4表面からベース領域3を貫通しドレイン領域2に及ぶように形成した溝で、6は溝5の底部5aと側壁5bおよびソース領域4上の溝寄りの一部に熱酸化により形成したゲート酸化膜で、7はCVD法により基板1にポリシリコン膜を被覆した後に、PR及びドライエッチ法で底部5a及び側壁5bのゲート酸化膜6上に形成したゲート電極である。8はゲート電極7および一部ソース領域4上までCVD法により形成した層間絶縁膜で、9は層間絶縁膜8、ソース領域4およびベース領域4上にスパッタ法により形成したアルミニウムのソース電極である。この溝型電界効果トランジスタは側壁5bにゲート酸化膜6を形成するときに、同時に底部5aにもゲート酸化膜6が形成され、さらに側壁5bにゲート電極を形成する時に同様に底部5aにも形成される。

従って、ゲート電極に電圧を印加すると底部5aのゲート酸化膜6はコンデンサの働きをする。

【0003】ところで、スイッチング電源等の変換周波数が高くなると、これに用いられる電界効果トランジスタのドライブ駆動損失とスイッチング損失は大きくなり、全損失中における割合が大きくなる。このため、駆動時に充放電する容量成分である入力容量及び帰還容量の低減が必要である。この改善策が特開平2-51279号公報で提示されている。この内容を図5を参照して説明する。尚、図4と同一のものは同一符号を以て示し、重複した説明を省略する。先ず構成を説明すると、図において図4と異なる点は溝5の側壁5b上のゲート酸化膜10に比べて溝5の底部5a上に十分厚い底部酸化膜11を形成していることである。このことにより、ゲート電極7及びドレイン領域2間の容量は、ゲート電極7及びドレイン領域2間にあるゲート酸化膜10を誘電体とする容量及び底部酸化膜11を誘電体とする容量の和で、ゲート電極7及びドレイン領域2間の酸化膜の厚さに反比例するので、ゲート酸化膜10に比べて底部酸化膜11を誘電体とする容量は十分小さくでき全体と

10

20

30

40

50

50

して小さくできる。次に、図5に示す電界効果トランジスタの製造方法におけるゲート酸化膜10及び底部酸化膜11の形成方法を説明する。溝5を形成後、酸化を防止するシリコン窒化膜をCVD法により底部5a及び側壁5bを含む基板1の全表面に被覆する。次に異方性エッティングにより側壁5bにのみシリコン窒化膜を残す。その後熱酸化及びPRで底部5aに厚い底部酸化膜11を形成する。続いてシリコン窒化膜をエッティング法で除去した後、熱酸化でゲート酸化膜10を側壁5bに形成する。

【0004】

【発明が解決しようとする課題】しかし、上記改善案の場合、溝を含む基板の全表面へのシリコン窒化膜の被覆、溝の側壁にのみシリコン窒化膜を残すための異方性エッティング、底部酸化膜の形成および側壁のシリコン窒化膜のエッティングの工程が増えると言う問題があった。従って、本発明は上記の問題点を解決するためになされたもので、従来と同一工程数で容量を少なくした電界効果トランジスタを提供することを目的とする。

【0005】

【課題を解決するための手段】本発明は、上記課題を解決するために提案されたもので、高濃度一導電型半導体基板上に形成した一導電型ドレイン領域と、このドレイン領域に形成した他導電型ベース領域と、このベース領域に形成した一導電型ソース領域と、このソース領域の表面からベース領域を貫通して形成した溝と、この溝内面に形成したゲート酸化膜と、このゲート酸化膜上に形成したゲート電極と、このゲート電極上に被覆した層間絶縁膜と、を具備し、溝の底部のゲート酸化膜上にゲート電極を介さずに層間絶縁膜を被覆した電界効果トランジスタを提供する。また、高濃度一導電型半導体基板上に一導電型ドレイン領域を形成する工程と、このドレイン領域に他導電型ベース領域を形成する工程と、このベース領域に一導電型ソース領域を形成する工程と、このソース領域の表面からベース領域を貫通する溝を形成する工程と、この溝内面にゲート酸化膜を形成する工程と、上記の各工程を経た基板の表面にポリシリコン膜を被覆する工程と、このポリシリコン膜を選択的にエッティングしてゲート電極を形成する工程と、以上の各工程を経た基板の表面に層間絶縁膜を被覆する工程とを含み、ゲート電極を形成する工程において溝の底部のポリシリコン膜を同時にエッティングする電界効果トランジスタの製造方法を提供する。また、高濃度一導電型半導体基板上に一導電型ドレイン領域を形成する工程と、このドレイン領域上に選択的に厚い酸化膜を形成する工程と、この厚い酸化膜をマスクとしてドレイン領域に他導電型ベース領域を形成する工程と、厚い酸化膜をマスクとしてベース領域に一導電型ソース領域を形成する工程と、その後に厚い酸化膜を除去しドレイン領域が露出した溝を形成する工程と、この溝内面にゲート酸化膜を形成する

工程と、上記の各工程を経た半導体基板表面にポリシリコン膜を被覆する工程と、このポリシリコン膜を選択的にエッティングしてゲート電極を形成する工程と、以上の各工程を経た基板表面に層間絶縁膜を被覆する工程とを含み、ゲート電極を形成する工程において溝の底部のポリシリコン膜を同時にエッティングする電界効果トランジスタの製造方法を提供する。

【0006】

【発明の実施の形態】以下に、本発明の第1の実施の形態を図1を参照して説明する。尚、図において、図4と同一のものは同一符号を以て示し、重複した説明を省略する。先ず構成を説明すると、図において図4と異なる点は、溝5の底部5aのゲート酸化膜6上にゲート電極12を介さずに層間絶縁膜8を被覆していることである。このことにより、ゲート電極12及びドレイン領域2間の容量は、ゲート電極12及びドレイン領域2間のゲート酸化膜6の面積に比例するので、底部5a上にゲート電極12がない分小さくできる。次に製造方法を説明するが、図4に示す電界効果トランジスタの製造方法と異なる点は、ゲート電極12の形成方法である。溝5の底部5aと側壁5bおよびソース領域4上の溝寄りの一部にゲート酸化膜6を形成した半導体基板1表面にCVD法によりポリシリコン膜を被覆し、このポリシリコン膜をPRにより選択的にエッティングしてゲート電極12を形成する工程において底部5aのポリシリコン膜も同時にエッティングして除去する。従って、次の工程でCVD法、PR及びドライエッチ法により層間絶縁膜8を形成するとき、底部5aのゲート酸化膜6上にゲート電極12を介さずに層間絶縁膜8が形成される。この製造方法によれば、ゲート電極12形成時のPRのマスクを替えるだけで、工程が増えずにゲート電極12及びドレイン領域2間の容量を小さくすることができる。

【0007】次に、本発明の他の実施の形態を図2を参照して説明する。先ず構成を説明すると、図において21は高濃度一導電型としてのn+型の半導体基板で、この半導体基板21上にエピタキシャル成長によりn型ドレイン領域22を形成している。ドレイン領域22には熱酸化法により形成したLOCOS酸化膜をマスクにしてボロンイオン注入及び熱拡散により他導電型としてのp型のベース領域23を形成し、このベース領域23にLOCOS酸化膜によるマスクとPR、ヒ素イオン注入及び熱拡散によりn+型ソース領域24を形成している。基板表面にはLOCOS酸化膜をウェットエッチ法で除去することによりソース領域24表面からベース領域23を貫通してドレイン領域22に及ぶ溝25を形成している。溝25の底部25aと側壁部25b及びソース領域24上の溝寄りの一部にはゲート酸化膜26を形成している。このゲート酸化膜26を介して底部25aを除き側壁25bを含む箇所にCVD法、PR及びドライエッチ法によりゲート電極27を形成している。底部

25a上のゲート酸化膜26及びゲート電極27上にはこれらを被覆するようにCVD法、PR及びドライエッチ法により層間絶縁膜28を形成している。ベース領域23、ソース領域24及び層間絶縁膜28上にはスパッタ法、PR及びドライエッチ法によりソース電極29を形成している。上記構成によれば、ゲート電極27及びドレイン領域22間の容量は、ゲート電極27及びドレイン領域22間のゲート酸化膜26の面積に比例するので、溝25の底部25a上にゲート電極27がない分小さくできる。

【0008】次に製造方法を図3(a)～(d)を参照して説明する。先ず、図3(a)に示すように、n+型半導体基板21上にエピタキシャル成長によりn型ドレイン領域22を形成した後、このドレイン領域22の表面に熱酸化法によりシリコン酸化膜31を形成し、更にその上にCVD法により酸化膜の成長を阻止するためのマスクとなるシリコン窒化膜32を成長させた後、その窒化膜32をPRおよびドライエッチ法により選択的に除去してLOCOS酸化膜形成エリア33を露出させる。次に、図3(b)に示すように、熱酸化法によりLOCOS酸化膜形成エリア33に厚いLOCOS酸化膜34を形成して後、窒化膜32をウェットエッチ法により全面除去し、LOCOS酸化膜34をマスクにしてボロンをイオン注入及び熱拡散してP型ベース領域23を形成する。また、ベース領域23にLOCOS酸化膜34及びPRでのフォトレジスト膜でマスクして砒素をイオン注入し更に熱拡散してn+型ソース領域24を形成する。その後、図3(c)に示すように、PR及びウェットエッチ法によりLOCOS酸化膜34及び酸化膜31を除去することによりソース領域24表面からベース領域23を貫通してドレイン領域22に及ぶ溝25を形成した後、この溝25の底部25aと側壁25b及びベース領域23及びソース領域24上に熱酸化法によりゲート酸化膜26を形成し、以上の工程を経た基板21の表面にCVD法によりポリシリコン膜35を被覆する。続いて、図3(d)に示すように、PR及びドライエッチ法により少なくとも底部25a上のポリシリコン膜35を除去し少なくとも側壁25b上のポリシリコン膜35を残してゲート電極27を形成した後、以上の工程を経た基板21の表面にCVD法により層間絶縁膜28を被覆する。その後ベース領域23及びソース領域24上

の層間絶縁膜28にコンタクト窓を開口した後、基板21の表面にスパッタ法によりアルミニウム膜を被覆し、このアルミニウム膜をPR及びドライエッチ法により選択的に除去して、ベース領域23及びソース領域24と電気的に接続するソース電極29を形成する。尚、図示していないがソース電極29を形成するとき同時に、ゲート電極27上の層間絶縁膜28にもコンタクト窓を開口しアルミニウム膜を被覆してゲート電極27と電気的に接続するゲート配線を形成する。この製造方法によれば、ゲート電極27形成時のPRのマスクを替えるだけで、工程が増えずにゲート電極27及びドレイン領域22間の容量を小さくすることができる。上記両実施の形態において、一導電型としてn型、他導電型としてp型で説明したが、一導電型としてp型、他導電型としてn型であってもよい。

【0009】

【発明の効果】本発明によれば、工程を追加することなく、ゲート電極形成時のPRのマスクを替えるだけで容量を小さくできる。

20 【図面の簡単な説明】

【図1】 本発明の第1の実施の形態を示す電界効果トランジスタの断面図

【図2】 本発明の第2の実施の形態を示す電界効果トランジスタの断面図

【図3】 図2に示す電界効果トランジスタの製造工程を示す主要部の断面図

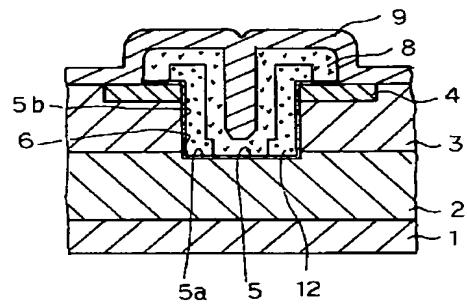
【図4】 従来の電界効果トランジスタの断面図

【図5】 従来の他の電界効果トランジスタの断面図

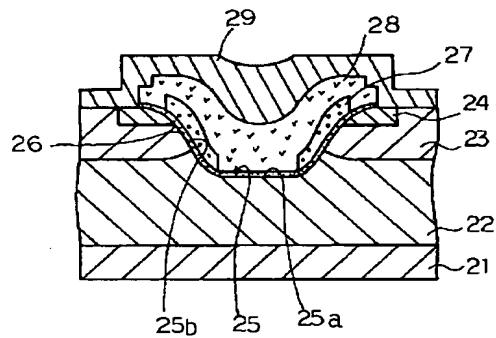
【符号の説明】

30	1, 21	半導体基板
	2, 22	ドレイン領域
	3, 23	ベース領域
	4, 24	ソース領域
	5, 25	溝
	5a, 25a	底部
	5b, 25b	側壁
	6, 26	ゲート酸化膜
	7, 27	ゲート電極
	8, 28	層間絶縁膜
40	9, 29	ソース電極

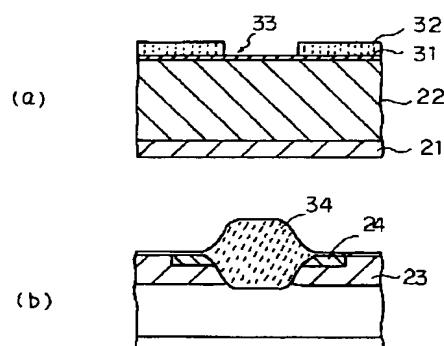
【図1】



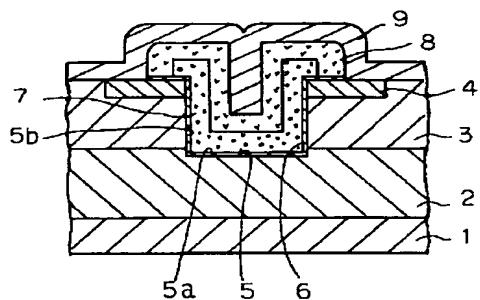
【図2】



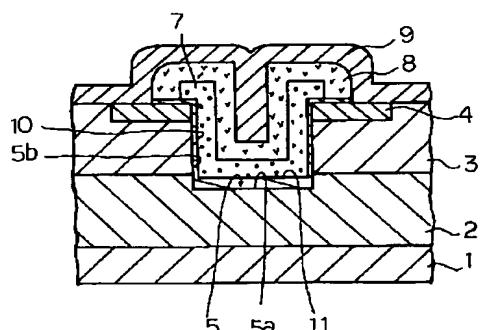
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl. 6

H 01 L 29/812

識別記号

府内整理番号

9447-4M

F I

H 01 L 29/80

技術表示箇所

M